

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-349691

(P2004-349691A)

(43) 公開日 平成16年12月9日(2004.12.9)

(51) Int.Cl.⁷

F I

テーマコード(参考)

H O 1 L 27/10

H O 1 L 27/10 4 5 1

5 F O 8 3

H O 1 L 27/105

H O 1 L 43/08 Z

H O 1 L 43/08

H O 1 L 27/10 4 4 7

審査請求 未請求 請求項の数 20 O L (全 12 頁)

(21) 出願番号 特願2004-132266(P2004-132266)
 (22) 出願日 平成16年4月27日(2004.4.27)
 (31) 優先権主張番号 10/442,627
 (32) 優先日 平成15年5月21日(2003.5.21)
 (33) 優先権主張国 米国(US)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番22号
 (74) 代理人 100078282
 弁理士 山本 秀策
 (74) 代理人 100062409
 弁理士 安村 高明
 (74) 代理人 100107489
 弁理士 大塩 竹志
 (72) 発明者 シェン テン スー
 アメリカ合衆国 ワシントン 98607
 , カマス, エヌダブリュー トラウト
 コート 2216

最終頁に続く

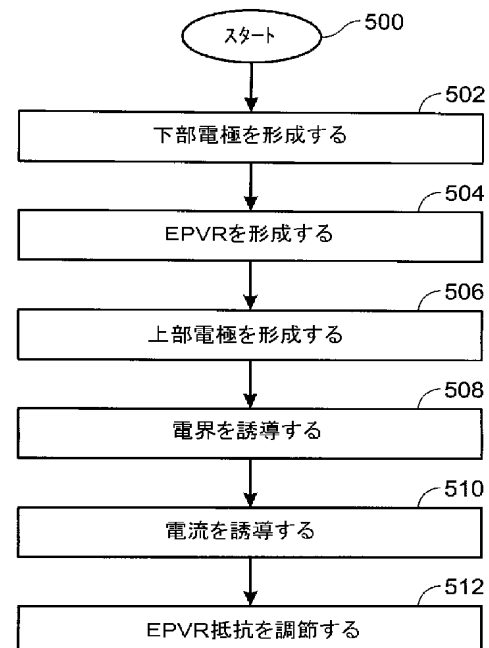
(54) 【発明の名称】 非対称メモリセル

(57) 【要約】

【課題】 非対称メモリセルおよび非対称メモリセルを形成する方法を提供すること。

【解決手段】 この方法は、第1の面積を有する下部電極を形成するステップと、下部電極上に載る電気パルス変動抵抗(EPVR)材料を形成するステップと、EPVR層上に載る、第1の面積よりも狭い第2の面積を有する上部電極を形成するステップとを含む。いくつかの局面において、第2の面積は、第1の面積よりも少なくとも約20%狭い。EPVRは、超巨大磁気抵抗(CMR)材料、高温超伝導(HTSC)材料、またはペロブスカイト酸化金属材料などの材料である。この方法は、さらに、電極間に電界を誘導するステップと、上部電極に隣接するEPVRに電流を誘導するステップと、上部電極に隣接するEPVRに電流を誘導するステップにตอบสนองして、EPVRの抵抗を調節するステップとをさらに含む。通常、抵抗は、100オーム~10メガオームの範囲内で調節される。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

非対称メモリセルを形成する方法であって、
第 1 の面積を有する下部電極を形成するステップと、
該下部電極上に載る電気パルス変動抵抗 (E P V R) 材料を形成するステップと、
該 E P V R 層上に載る、該第 1 の面積よりも狭い第 2 の面積を有する上部電極を形成するステップと
を包含する、方法。

【請求項 2】

前記上部電極と前記下部電極との間に電界を誘導するステップと、
該電界に応答して、該上部電極に隣接する前記 E P V R に電流を誘導するステップと
を包含する、請求項 1 に記載の方法。

10

【請求項 3】

前記上部電極に隣接する前記 E P V R に電流を誘導するステップに応答して、該上部電極と前記下部電極との間の該 E P V R の抵抗を調節するステップをさらに包含する、請求項 2 に記載の方法。

【請求項 4】

前記上部電極と前記下部電極との間に電界を誘導するステップは、2 ～ 5 ボルトの範囲内の振幅および 1 ナノ秒 (n s) ～ 10 マイクロ秒 (μ s) の持続時間を有する負の電圧パルスを該上部電極と該下部電極との間に印加するステップを含み、

20

該上部電極および該下部電極との間の前記 E P V R の抵抗を調節するステップは、該電極間に第 1 の高抵抗を生成するステップを含む、請求項 3 に記載の方法。

【請求項 5】

前記上部電極と前記下部電極との間に電界を誘導するステップは、2 ～ 5 ボルトの範囲内の振幅および 1 n s ～ 10 μ s の持続時間を有する正の電圧を該上部電極と該下部電極との間に印加するステップを含み、

該上部電極および該下部電極との間の前記 E P V R の抵抗を調節するステップは、該電極間に、前記第 1 の抵抗よりも低い第 2 の抵抗を生成するステップを含む、請求項 4 に記載の方法。

【請求項 6】

前記 E P V R 層上に載る、前記第 1 の面積よりも狭い第 2 の面積を有する上部電極を形成するステップは、該第 2 の面積が、該第 1 の面積よりも少なくとも 20 % 狭いことを含む、請求項 1 に記載の方法。

30

【請求項 7】

下部電極を形成するステップは、P t、T i N、T a N、T i A l N、T a A l N、A g、A u、または I r からなる群から選択される材料で該下部電極を形成するステップを含み、

上部電極を形成するステップは、P t、T i N、T a N、T i A l N、T a A l N、A g、A u、または I r からなる群から選択される材料で該上部電極を形成するステップを含む、請求項 1 に記載の方法。

40

【請求項 8】

E P V R 層を形成するステップは、超巨大磁気抵抗 (C M R) 材料、高温超伝導 (H T S C) 材料、およびペロブスカイト酸化金属材料からなる群から選択された材料で該 E P V R 層を形成するステップを含む、請求項 1 に記載の方法。

【請求項 9】

前記上部電極に隣接する前記 E P V R に電流を誘導するステップに応答して、該上部電極および前記下部電極との間の該 E P V R の抵抗を調節するステップは、該抵抗を 100 オーム～10 メガオームの範囲内で調節するステップを含む、請求項 3 に記載の方法。

【請求項 10】

非対称メモリセルを形成する方法であって、

50

第1の面積を有する下部電極を形成するステップと、
該下部電極上に載る電気パルス変動抵抗（E P V R）材料を形成するステップと、
該E P V R層上に載る、該第1の面積よりも広い第2の面積を有する上部電極を形成するステップと
を包含する、方法。

【請求項11】

前記E P V R層上に載る、前記第1の面積よりも広い第2の面積を有する上部電極を形成するステップは、該第1の面積が、該第2の面積よりも少なくとも20%狭いことを含む、請求項10に記載の方法。

【請求項12】

10

第1の面積を有する下部電極と、
該下部電極上に載る電気パルス変動抵抗（E P V R）材料層と、
該E P V R層上に載る、該第1の面積よりも狭い第2の面積を有する上部電極と
を備える、非対称メモリセル。

【請求項13】

前記上部電極の第2の面積が、前記下部電極の第1の面積よりも少なくとも20%狭い、請求項12に記載のメモリセル。

【請求項14】

前記下部電極は、Pt、TiN、Ta₂N、TiAlN、TaAlN、Ag、Au、またはIrからなる群から選択される材料であり、

20

前記上部電極は、Pt、TiN、Ta₂N、TiAlN、TaAlN、Ag、Au、またはIrからなる群から選択される材料である、請求項13に記載のメモリセル。

【請求項15】

前記E P V R層は、前記上部電極と前記下部電極との間で測定される、該上部電極と該下部電極との間に印加される第1の電圧パルスに応答する第1の全体抵抗を有し、

該E P V R層は、第2の電圧パルスに応答する、該第1の抵抗よりも低い第2の全体抵抗を有する、請求項13に記載のメモリセル。

【請求項16】

前記E P V R層の第1の抵抗は、2～5ボルトの範囲内の負の振幅および1ナノ秒（ns）～10マイクロ秒（μs）の持続時間を有する第1の電圧パルスに応答し、100オーム～10メガオームの範囲内である、請求項15に記載のメモリセル。

30

【請求項17】

前記E P V R層の第2の抵抗は、2～5ボルトの範囲内の正の振幅および1ナノ秒ns～10μsの持続時間を有する第2の電圧パルスに応答し、100オーム～1キロオームの範囲内である、請求項16に記載のメモリセル。

【請求項18】

前記E P V R層は、超巨大磁気抵抗（CMR）材料、高温超伝導（HTSC）材料、およびペロブスカイト酸化金属材料からなる群から選択される材料である、請求項12に記載のメモリセル。

【請求項19】

40

第1の面積を有する下部電極と、
該下部電極上に載る電気パルス変動抵抗（E P V R）材料層と、
該E P V R層上に載る、該第1の面積よりも広い第2の面積を有する上部電極と
を備える、非対称メモリセル。

【請求項20】

前記下部電極の第1の面積が、前記上部電極の第2の面積よりも少なくとも20%狭い、請求項19に記載のメモリセル。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、概して、集積回路（ＩＣ）メモリセルアレイに関し、より詳細には、非対称メモリ抵抗メモリセル、および同一のものを製造する方法に関する。

【背景技術】

【０００２】

従来、超巨大磁気抵抗（ＣＭＲ）材料等のメモリ抵抗材料を利用するメモリセルは、パターンニングされていない大きな導電性下部電極、パターンニングされていないＣＭＲ材料、および比較的小さな上部電極から製造される。これらのデバイスは、用途が制限され、セルが比較的大きなサイズであるために、高密度のメモリアレイ用途には適さない。

【０００３】

ＣＭＲ材料の抵抗は、大抵の状況下で一定であるので、ＣＭＲ材料は、不揮発性の性質を有すると言われ得る。しかし、強電界が、ＣＭＲ材料に電流を誘導する際には、ＣＭＲ抵抗に変化が生じ得る。プログラミングプロセスの間、電極付近の強電界領域のメモリ抵抗の抵抗値が、まず変化する。実験データは、端子Ａと呼ばれるカソードの材料の抵抗値が増加する一方で、端子Ｂと呼ばれるアノードの材料の抵抗値が低下することを示している。消去プロセスの間、パルスの極性が反転する。すなわち、カソードおよびアノードの記号表示が反転する。従って、端子Ａの近くの材料の抵抗値は低下し、かつ端子Ｂの近くの抵抗値は増加する。

【０００４】

セルメモリに対する要求が高まるにつれて、アレイのセルサイズを縮小することに対する期待が増大している。しかし、より小型のフィーチャサイズでは、デバイスは、許容誤差を処理することに対する影響をより受けやすくなる。許容誤差の処理のために、極めて小型の幾何学的に非対称なデバイスは、常に実用的とは限らない。ある分析（以下に提供される）は、十分に幾何学的に対称である製造されたメモリセルが、正常に動作しないことを示している。たとえこれらの非対称デバイスがプログラミングされ得るとしても、高抵抗状態から低抵抗状態までの正味の抵抗変化は、比較的小さくなり得る。

【発明の開示】

【発明が解決しようとする課題】

【０００５】

許容誤差の処理に拘らず、十分な抵抗状態の変化を保証するために十分な非対称性のメモリセルを設計することができれば、有益である。

【課題を解決するための手段】

【０００６】

本発明により、非対称メモリセルを形成する方法であって、第１の面積を有する下部電極を形成するステップと、該下部電極上に載る電気パルス変動抵抗（ＥＰＶＲ）材料を形成するステップと、該ＥＰＶＲ層上に載る、該第１の面積よりも狭い第２の面積を有する上部電極を形成するステップとを包含する、方法が提供され、これにより、上記目的が達成される。

【０００７】

前記上部電極と前記下部電極との間に電界を誘導するステップと、該電界に応答して、該上部電極に隣接する前記ＥＰＶＲに電流を誘導するステップとを包含してもよい。

【０００８】

前記上部電極に隣接する前記ＥＰＶＲに電流を誘導するステップに応答して、該上部電極と前記下部電極との間の該ＥＰＶＲの抵抗を調節するステップをさらに包含してもよい。

【０００９】

前記上部電極と前記下部電極との間に電界を誘導するステップは、２～５ボルトの範囲内の振幅および１ナノ秒（ｎｓ）～１０マイクロ秒（μｓ）の持続時間を有する負の電圧パルスを該上部電極と該下部電極との間に印加するステップを含み、該上部電極および該下部電極との間の前記ＥＰＶＲの抵抗を調節するステップは、該電極間に第１の高抵抗を生成するステップを含んでもよい。

10

20

30

40

50

【0010】

前記上部電極と前記下部電極との間に電界を誘導するステップは、2～5ボルトの範囲内の振幅および1 ns～10 μsの持続時間を有する正の電圧を該上部電極と該下部電極との間に印加するステップを含み、該上部電極および該下部電極との間の前記EPVRの抵抗を調節するステップは、該電極間に、前記第1の抵抗よりも低い第2の抵抗を生成するステップを含んでもよい。

【0011】

前記EPVR層上に載る、前記第1の面積よりも狭い第2の面積を有する上部電極を形成するステップは、該第2の面積が、該第1の面積よりも少なくとも20%狭いことを含んでもよい。

10

【0012】

下部電極を形成するステップは、Pt、TiN、Ta₂N₃、TiAlN、TaAlN、Ag、Au、またはIrからなる群から選択される材料で該下部電極を形成するステップを含み、上部電極を形成するステップは、Pt、TiN、Ta₂N₃、TiAlN、TaAlN、Ag、Au、またはIrからなる群から選択される材料で該上部電極を形成するステップを含んでもよい。

【0013】

EPVR層を形成するステップは、超巨大磁気抵抗(CMR)材料、高温超伝導(HTSC)材料、およびペロブスカイト酸化金属材料からなる群から選択された材料で該EPVR層を形成するステップを含んでもよい。

20

【0014】

前記上部電極に隣接する前記EPVRに電流を誘導するステップに応答して、該上部電極および前記下部電極との間の該EPVRの抵抗を調節するステップは、該抵抗を100オーム～10メガオームの範囲内で調節するステップを含んでもよい。

【0015】

本発明により、非対称メモリセルを形成する方法であって、第1の面積を有する下部電極を形成するステップと、該下部電極上に載る電気パルス変動抵抗(EPVR)材料を形成するステップと、該EPVR層上に載る、該第1の面積よりも広い第2の面積を有する上部電極を形成するステップとを包含する、方法が提供され、これにより、上記目的が達成される。

30

【0016】

前記EPVR層上に載る、前記第1の面積よりも広い第2の面積を有する上部電極を形成するステップは、該第1の面積が、該第2の面積よりも少なくとも20%狭いことを含んでもよい。

【0017】

本発明により、第1の面積を有する下部電極と、該下部電極上に載る電気パルス変動抵抗(EPVR)材料層と、該EPVR層上に載る、該第1の面積よりも狭い第2の面積を有する上部電極とを備える、非対称メモリセルが提供され、これにより、上記目的が達成される。

【0018】

前記上部電極の第2の面積が、前記下部電極の第1の面積よりも少なくとも20%狭くてもよい。

40

【0019】

前記下部電極は、Pt、TiN、Ta₂N₃、TiAlN、TaAlN、Ag、Au、またはIrからなる群から選択される材料であり、前記上部電極は、Pt、TiN、Ta₂N₃、TiAlN、TaAlN、Ag、Au、またはIrからなる群から選択される材料であってもよい。

【0020】

前記EPVR層は、前記上部電極と前記下部電極との間で測定される、該上部電極と該下部電極との間に印加される第1の電圧パルスに応答する第1の全体抵抗を有し、該EP

50

V R層は、第2の電圧パルスに応答する、該第1の抵抗よりも低い第2の全体抵抗を有していてもよい。

【0021】

前記E P V R層の第1の抵抗は、2～5ボルトの範囲内の負の振幅および1ナノ秒（n s）～10マイクロ秒（ μ s）の持続時間を有する第1の電圧パルスに응答し、100オーム～10メガオームの範囲内であってもよい。

【0022】

前記E P V R層の第2の抵抗は、2～5ボルトの範囲内の正の振幅および1ナノ秒n s～10 μ sの持続時間を有する第2の電圧パルスに응答し、100オーム～1キロオームの範囲内であってもよい。

10

【0023】

前記E P V R層は、超巨大磁気抵抗（C M R）材料、高温超伝導（H T S C）材料、およびペロブスカイト酸化金属材料からなる群から選択される材料であってもよい。

【0024】

本発明により、第1の面積を有する下部電極と、該下部電極上に載る電気パルス変動抵抗（E P V R）材料層と、該E P V R層上に載る、該第1の面積よりも広い第2の面積を有する上部電極とを備える、非対称メモリセルが提供され、これにより、上記目的が達成される。

【0025】

前記下部電極の第1の面積が、前記上部電極の第2の面積よりも少なくとも20%狭くてもよい。

20

【0026】

（発明の要旨）

本発明は、不揮発性メモリアレイおよびアナログ抵抗用途のための薄膜抵抗メモリデバイスを説明する。このデバイスメモリの特性は、メモリセルの非対称な構造に依存する。

【0027】

つまり、本発明では、非対称メモリセルを形成する方法が提供される。この方法は、第1の面積を有する下部電極を形成するステップと、下部電極上に載る電気パルス変動抵抗（E P V R）材料を形成するステップと、E P V R層上に載る、第1の面積よりも狭い第2の面積を有する上部電極を形成するステップとを含む。いくつかの局面において、上部電極の第2の面積は、下部電極の第1の面積よりも少なくとも約20%狭い。E P V Rは、超巨大磁気抵抗（C M R）材料、高温超伝導（H T S C）材料、またはペロブスカイト酸化金属材料などの材料から製造される。

30

【0028】

この方法は、さらに、上部電極と下部電極との間に電界を誘導するステップと、その電界に응答して、上部電極に隣接するE P V Rに電流を誘導するステップとを含んでもよい。

【0029】

この方法は、さらに、上部電極に隣接するE P V Rに電流を誘導するステップに응答して、上部電極と下部電極との間のE P V Rの抵抗を調節するステップとをさらに含む。より具体的には、第2のE P V R領域の抵抗は調節され、第1のE P V R領域の抵抗は、一定であり続ける。通常、抵抗は、100オーム～10メガオーム（Mオーム）の範囲内で調節される。

40

【0030】

上述の方法のさらなる詳細および非対称メモリセルが、以下に示される。

【発明の効果】

【0031】

十分な抵抗状態の変化が保証される、本発明による非対称メモリセルにより、信頼性のあるプログラミングが実現される。

【発明を実施するための最良の形態】

50

【0032】

(好ましい実施形態の詳細な説明)

図1Aおよび図1Bは、プログラミング動作(図1A)および消去動作(図1B)中のメモリセルの部分的断面図である。上部電極および下部電極は、同一であり、メモリ抵抗材料は、全体を通して均一である。デバイスの幾何学構造が、完全に対称的にされ得る場合、正味の抵抗は、負の電界(図1A)または正の電界(図1B)のどちらが印加されても、高抵抗状態で一定となる。電界方向は、上部電極からみて規定されることに留意されたい。すなわち、電界は、上部電極から誘導されると考えられる。そのような状況下では、プログラミングは不可能となる。従って、図1Aおよび図1Bのどちらかのような幾何学的に対称的なデバイス構造は、実用的ではない。

10

【0033】

より詳細には、幾何学的に対称的なメモリセルは、電界の存在下において、電極(領域AおよびB)の近くでは高電流密度を有し、かつデバイスの中央部分では低電流密度を有する。結果として、上部電極および下部電極の近くのCMR材料の抵抗が、変化する。例えば、メモリセルは、上部電極の近くのメモリ抵抗材料の抵抗値が増加し、かつ下部電極の近くのメモリ抵抗材料の抵抗値が低下する場合に高抵抗値状態であり得るようにプログラミングされ得る。上部電極に印加された電気パルスの極性が反転する場合(正のパルスとなる、図1B)、上部電極(領域A)の近くの材料は、低抵抗(R_L)となり、下部電極(領域B)の近くの材料は、高抵抗(R_H)となる。しかし、メモリ抵抗の全体の抵抗は同じままであり、依然として高抵抗状態である。従って、メモリ抵抗を低抵抗状態にプログラミングすることは不可能である。

20

【0034】

領域Aおよび領域Bは、それぞれ上部電極および下部電極に非常に近接しており、これらの厚さは、10ナノメートル(nm)と同程度の薄さであり得るため、上述の効果は、誤って界面効果として分類され得る。しかし、記憶は、界面特性の変化ではなく、バルクの抵抗値の変化である。

【0035】

図2Aおよび図2Bは、メモリセルの部分的断面図であり、ここでメモリ抵抗は、筒状の形状であり、オキサイドまたは任意の適切な絶縁体(従来技術)に組み込まれる。電界の強さは、上部電極および下部電極の両方の近くで高い。上部電極の近くの電界の向きは、下部電極の近くの電界の向きと反対であるので、上部電極の近くのメモリ抵抗材料の抵抗値が増加する一方で、下部電極の近くのメモリ抵抗材料の抵抗値は低下する。結果として、メモリ抵抗は、正または負のどちらのパルスが上部電極に印加されたかに拘らず、高抵抗状態にプログラミングされる。やはり、幾何学的に対称的な構造は、抵抗メモリセルに適さない。

30

【0036】

図3は、本発明の非対称メモリセルの部分断面図である。メモリセル300は、第1の面積を有する下部電極302と、下部電極302上に載る電気パルス変動抵抗(EPR)材料層304とを含む。上部電極306がEPR材料層304の上に重なる。上部電極306は、第1の面積よりも狭い第2の面積を有する。いくつかの局面において、上部電極の第2の面積は、下部電極の第1の面積よりも少なくとも約20%狭い。上部電極306が2つの電極のうちの小さい方の電極として描かれていることに留意されたい。しかし、本発明の他の局面(図示せず)において、セル300は、下部電極302が上部電極306よりも20%狭い場合でも同様に動作し得る。

40

【0037】

本明細書中で用いられる電極の面積とは、EPR層304と接する表面積と定義される。上部電極および下部電極の表面は、EPR層と接する部分において、平坦であるように描かれているが、必ずしもそうでなくてもよい。

【0038】

EPR層304は、超巨大磁気抵抗(CMR)材料、高温超伝導(HTSC)材料、

50

またはペロブスカイト酸化金属材料などの材料である。下部電極302は、Pt、TiN、Ta₂N₅、TiAlN、TaAlN、Ag、Au、またはIrなどの材料である。同様に、上部電極306はPt、TiN、Ta₂N₅、TiAlN、TaAlN、Ag、Au、またはIrなどの材料である。上部電極および下部電極は、必ずしも同じ材料から製造される必要はない。

【0039】

全体的に考慮すると、EPVR層304は、上部電極306と下部電極302との間に印加される第1の電圧パルスにตอบสนองする第1の全体抵抗を有する。第1の全体抵抗は上部電極306と下部電極302との間で測定される。例えば、第1の電圧パルスは、より小さい上部電極306からみて負の電界を生成し得る。EPVR層304は、第2の電圧パルスにตอบสนองする第2の全体抵抗を有する。第2の全体抵抗は第1の抵抗よりも小さい。例えば、第2の電圧パルスは、上部電極306からみて正の電界を生成し得る。

10

【0040】

EPVR層の第1の抵抗は、100オームから10Mオームの範囲内にあり、2～5ボルトの範囲内の負の振幅および1ナノ秒(ns)～10マイクロ秒(μs)の持続時間を有する第1の電圧パルスにตอบสนองする。EPVR層の第2の抵抗は、100オームから1kオームの範囲内にあり、2～5ボルトの範囲内の正の振幅および1ns～10μsの持続時間を有する第2の電圧パルスにตอบสนองする。

【0041】

(機能の説明)

上記の背景技術に記載した対称的なメモリセルに固有の問題を解消するため、非対称抵抗メモリ構造が開発されてきた。上部電極は、下部電極のサイズと比較して、相対的に小さい。ある局面において、下部電極面積は、上部電極の面積の1.3倍の大きさである。

20

【0042】

図4Aおよび4Bは、本発明のメモリセルプログラミング動作(図4A)および消去動作(図4B)を示す図である。電圧が上部電極と下部電極との間に印加される場合、上部電極近傍の電界強度が大きく、従って、上部電極近傍の電流密度が高い。このとき、下部電極近傍の電界強度／電流密度は小さくなる。結果として、上部電極近傍のメモリ抵抗器材料の抵抗のみが、変化する。下部電極近傍に電界／電流が印加された結果として、下部電極近傍のEPVR材料の抵抗が変化することはない。高密度レイアウトにおいて、メモリデバイスは、円形または方形のいずれであってもよいが、製造後には、通常円形になる。セルは、従来のプロセスによって製造することができる。唯一異なる点は、下部電極の直径を上部電極よりも、約20%大きくするか、または小さくする必要があることである。

30

【0043】

図5は、非対称メモリセルを形成する本発明の方法を示すフローチャートである。この方法は、簡単のためにナンバリングされた順序のステップとして示されるが、明確に述べられない限り、ナンバリングから順序が推測されるべきではない。これらのステップのいくつかを、スキップし得るか、並行して実行し得るか、または忠実に順番を維持する必要なく実行され得ることを理解されたい。この方法は、ステップ500からスタートする。

40

【0044】

ステップ502において、第1の面積を有する下部電極が形成される。ステップ504において、下部電極上に載る電気パルス変動抵抗(EPVR)材料が形成される。ステップ506において、EPVR層上に載る、第1の面積よりも狭い第2の面積を有する上部電極が形成される。いくつかの局面において、第2の面積は、第1の面積よりも少なくとも約20%狭い。あるいは、上述したように、下部電極の面積が上部電極よりも狭く(約20%狭く)てもよい。ステップ508において、上部電極と下部電極との間に電界が誘導される。ステップ510において、その電界にตอบสนองして、上部電極に隣接するEPVRに電流が誘導される。

【0045】

50

ステップ502において下部電極を形成するステップは、Pt、TiN、Ta₂N、TiAlN、TaAlN、Ag、Au、またはIrなどの材料から下部電極を形成するステップを含む。同様に、ステップ506において上部電極を形成するステップは、Pt、TiN、Ta₂N、TiAlN、TaAlN、Ag、Au、またはIrなどの材料から上部電極を形成するステップを含む。上部電極および下部電極は、異なる材料から製造され得る。ステップ504においてEPVR層を形成するステップは、CMR、HTSC、またはペロブスカイト酸化金属材料などの材料からEPVR層を形成するステップを含む。

【0046】

いくつかの局面において、ステップ510において上部電極と下部電極との間に電界を誘導するステップは、上部電極と下部電極との間に2～5ボルトの範囲内の振幅および1ナノ秒(ns)～10マイクロ秒(μs)の持続時間を有する負の電圧パルスを印加するステップを含む。その後、ステップ512において上部電極と下部電極との間のEPVRの抵抗を調節するステップは、電極間に第1の高抵抗(100～10Mオーム)を生成するステップを含む。 10

【0047】

他の局面において、ステップ510において上部電極と下部電極との間に電界を誘導するステップは、2～5ボルトの範囲内の振幅および1ns～10μsの持続時間を有する正のパルスを印加するステップを含む。その後、ステップ512において上部電極と下部電極との間のEPVRの抵抗を調節するステップは、電極間に第1の抵抗よりも低い第2の高抵抗(100～1000オーム)を生成するステップを含む。 20

【0048】

いくつかの局面において、上部電極に隣接するEPVRに電流を誘導するステップ(ステップ512)にตอบสนองして、上部電極と下部電極との間のEPVRの抵抗を調節するステップは、100オーム～10Mオームの範囲内で抵抗を調節するステップを含む。

【0049】

非対称メモリセルと、非対称メモリセルを製造する方法が、提供された。本発明を説明するために、いくつかの例が示された。以上のように、本発明の好ましい実施形態を用いて本発明を例示してきたが、本発明は、この実施形態に限定して解釈されるべきものではない。本発明は、特許請求の範囲によってのみその範囲が解釈されるべきであることが理解される。当業者は、本発明の具体的な好ましい実施形態の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができることが理解される。本明細書において引用した特許、特許出願および文献は、その内容自体が具体的に本明細書に記載されているのと同様にその内容が本明細書に対する参考として援用されるべきであることが理解される。 30

(要約)

本発明により、非対称メモリセルおよび非対称メモリセルを形成する方法が提供される。この方法は、第1の面積を有する下部電極を形成するステップと、下部電極上に載る電気パルス変動抵抗(EPVR)材料を形成するステップと、EPVR層上に載る、第1の面積よりも狭い第2の面積を有する上部電極を形成するステップとを含む。いくつかの局面において、第2の面積は、第1の面積よりも少なくとも約20%狭い。EPVRは、超巨大磁気抵抗(CMR)材料、高温超伝導(HTSC)材料、またはペロブスカイト酸化金属材料などの材料である。この方法は、さらに、電極間に電界を誘導するステップと、上部電極に隣接するEPVRに電流を誘導するステップと、上部電極に隣接するEPVRに電流を誘導するステップにตอบสนองして、EPVRの抵抗を調節するステップとをさらに含む。通常、抵抗は、100オーム～10メガオームの範囲内で調節される。 40

【図面の簡単な説明】

【0050】

【図1A】図1Aは、プログラミング動作中のメモリセルの部分的断面図である。

【図1B】図1Bは、消去動作中のメモリセルの部分的断面図である。

【図2A】図2Aは、メモリ抵抗が筒状の形状を有し、オキサイドまたは任意の適切な絶 50

縁体に組み込まれた、メモリセルの部分的断面図である。

【図 2 B】図 2 B は、メモリ抵抗が筒状の形状を有し、オキサイドまたは任意の適切な絶縁体に組み込まれた、メモリセルの部分的断面図である。

【図 3】図 3 は、本発明の非対称メモリセルの部分的断面図である。

【図 4 A】図 4 A は、本発明のメモリセルプログラミング動作を示す図である。

【図 4 B】図 4 B は、本発明のメモリセル消去動作を示す図である。

【図 5】図 5 は、非対称メモリセルを形成する本発明の方法を示すフローチャートである。

【符号の説明】

【 0 0 5 1 】

10

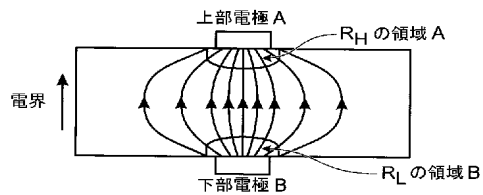
3 0 0 メモリセル

3 0 2 下部電極

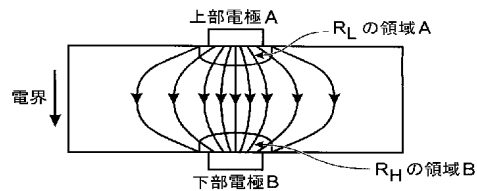
3 0 4 電気パルス変動抵抗

3 0 6 上部電極

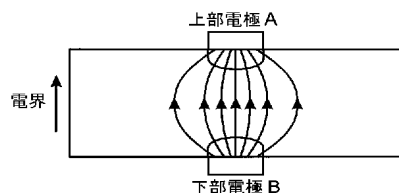
【図 1 A】



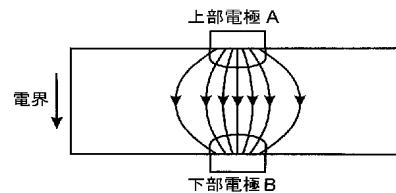
【図 1 B】



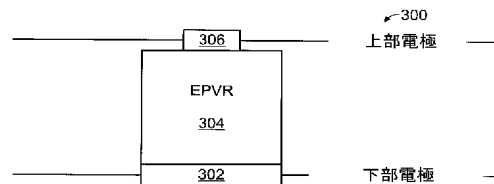
【図 2 A】



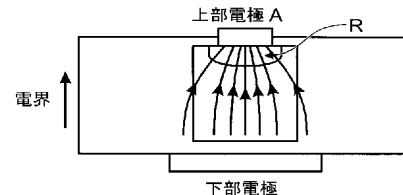
【図 2 B】



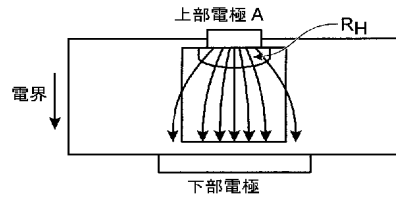
【図 3】



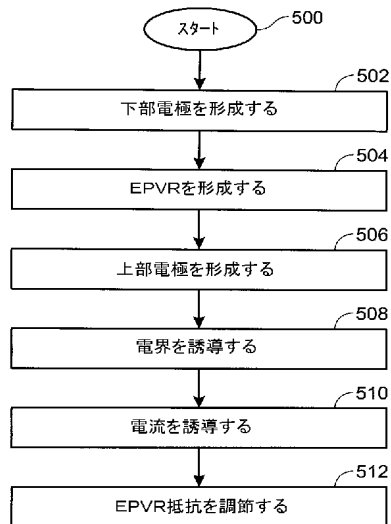
【図 4 A】



【図 4 B】



【図 5】



フロントページの続き

(72)発明者 ティンカイ リー

アメリカ合衆国 ワシントン 98683, バンクーバー, エスイー 23アールディー ス
トリート 18701

(72)発明者 デビッド ラッセル エバンス

アメリカ合衆国 オレゴン 97007, ビーバートン, エスダブリュー 179ティーエイ
チ プレイス 7574

Fターム(参考) 5F083 FZ08 FZ10 JA13 JA36 JA38 JA39 JA40 JA60

PAT-NO: JP02004349691A
DOCUMENT- JP 2004349691 A
IDENTIFIER:
TITLE: ASYMMETRIC
MEMORY CELL
PUBN-DATE: December 9, 2004

INVENTOR-INFORMATION:

NAME	COUNTRY
SHIEN, TEN SUU	N/A
LI, TINGKAI	N/A
DAVID, RUSSELL EVANS	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHARP CORP	N/A

APPL-NO: JP2004132266
APPL-DATE: April 27, 2004

PRI OR I TY-DATA: 2003442627 (May 21,
2003)

I NT-CL H01L027/10 ,
(I PC): H01L027/105 , H01L043/08

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an asymmetric memory cell and a method of forming the memory cell.

SOLUTION: The method of forming the asymmetrical memory cell includes a step of forming a lower electrode having a first area, a step of forming an electric pulse various-resisting (EPVR) layer placed on the lower electrode, and a step of forming an upper electrode placed on the EPVR layer and having a second area smaller than the first area. In several situations, the second area is smaller than the first area by at least about 20%. The EPVR material used

for forming the EPVR layer is a colossal magnetoresistance (CMR) material, high temperature superconducting (HTSC) material, or perovskite metal oxide material, etc. The method further includes a step of introducing an electric field between electrodes, a step of introducing a current into the EPVR layer adjoining the upper electrode, and a step of adjusting the resistance of the EPVR layer in response to the step of introducing the current to the EPVR layer. Usually, the resistance is adjusted within the range of 100 ohm to 10 mega-ohm.

COPYRIGHT: (C)2005,JPO&NCIPI